

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月 4日

出 願 番 号

Application Number:

特願2002-291823

[ ST.10/C ]:

[ JP 2002-291823 ]

出 願 人

Applicant(s):

三菱電機株式会社

2002年10月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎

出証番号 出証特2002-3083886

【書類名】 特許願

【整理番号】 539856JP01

【提出日】 平成14年10月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/027

【発明者】

    【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社  
社内

    【氏名】 服部 佐知子

【特許出願人】

    【識別番号】 000006013

    【氏名又は名称】 三菱電機株式会社

【代理人】

    【識別番号】 100102439

    【弁理士】

    【氏名又は名称】 宮田 金雄

【選任した代理人】

    【識別番号】 100092462

    【弁理士】

    【氏名又は名称】 高瀬 彌平

【手数料の表示】

    【予納台帳番号】 011394

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 レジスト埋め込み方法および半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 基板上に、層間膜を形成する工程と、  
前記層間膜に開口を形成する工程と、  
前記開口を含む前記層間膜上にレジスト膜を塗布する工程と、  
前記レジスト膜を前記開口部と概ね同じ形状にパターニングして前記開口内部に前記レジスト膜を埋め込む工程とを備えたレジスト埋め込み方法。

【請求項 2】 基板上に、層間膜を形成する工程と、  
前記層間膜に開口を形成する工程と、  
前記開口を含む前記層間膜上に膜を形成する工程と、  
前記膜上にレジスト膜を塗布する工程と、  
前記レジスト膜を前記開口部と概ね同じ形状にパターニングして前記開口内部に前記レジスト膜を埋め込む工程とを備えたレジスト埋め込み方法。

【請求項 3】 前記レジストがポジ型レジストで、前記開口部より小さい領域の遮光部を持つフォトマスクを用いて前記レジストをパターニングすることを特徴とする請求項 1 または 2 に記載のレジスト埋め込み方法。

【請求項 4】 前記レジストがネガ型レジストで、前記開口部より小さい領域の透過光部を持つフォトマスクを用いて前記レジストをパターニングすることを特徴とする請求項 1 または 2 に記載のレジスト埋め込み方法。

【請求項 5】 半導体基板上に、層間膜を形成する工程と、  
前記層間膜に開口を形成する工程と、  
前記開口を含む前記層間膜上にレジスト膜を塗布する工程と、  
前記レジスト膜を前記開口部と概ね同じ形状にパターニングして前記開口内部に前記レジスト膜を埋め込む工程と、  
前記開口部に埋め込まれた前記レジスト膜で前記開口の底部をマスクして前記層間膜をエッチングする工程とを備えた半導体装置の製造方法。

【請求項 6】 半導体基板上に、層間膜を形成する工程と、  
前記層間膜に開口を形成する工程と、

前記開口を含む前記層間膜上に膜を形成する工程と、

前記膜上にレジスト膜を塗布する工程と、

前記レジスト膜を前記開口部と概ね同じ形状にパターンニングして前記開口内部に前記レジスト膜を埋め込む工程と、

前記開口部に埋め込まれた前記レジスト膜で前記開口の底部をマスクして前記膜をエッチングする工程とを備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、更に詳しくは、キャパシタ形成やデュアルダマシン・プロセスにおいて、開口部分の底を次工程の処理に対して保護する方法に関する。

【0002】

【従来の技術】

従来、開口部の底を保護する方法として、例えば半導体装置の円筒型キャパシタ形成を行う場合には、酸化膜を開口したのち P o l y - S i などの膜の全面成膜を行い、その後レジストなどの有機膜を塗布法で形成し、露光量を調整して全面露光を行い、レジスト膜を開口部の底のみエッチング用マスクとして残存させて P o l y - S i 膜を保護し、ドライエッチバックにて、開口内部の P o l y - S i 以外を除去する方法を採っていた（例えば、特許文献 1 参照）。

【0003】

【特許文献 1】

、特開平 8 - 2 0 4 1 5 0 号公報（第 4 頁、第 1 図）

【0004】

【発明が解決しようとする課題】

従来の半導体装置の開口部の底を保護する方法では、保護材料として用いる有機膜として、ポジ型フォトリソレジストを用い、全面露光を行うことによって、開口部上部のレジストは露光、現像にて完全に除去されるが、開口底部には露光光が届かないためにレジストが残存することを利用し、開口部底の P o l y - S i 膜

の保護を実現することができていた。また、他の方法として、レジストなどの有機膜を塗布した後、レジストをエッチバックする方法でも同様な効果が得られている。

しかしながら、これらの方法では開口部のアスペクト比が小さい場合、すなわち開口部深さが浅い場合や開口部面積が大きい場合に、開口部底のレジストを残した場合には、開口周辺の絶縁膜上部のレジストも残として残っていたり、絶縁膜上部のレジストを除去できれば開口部底のレジストも除去されてしまうといった問題が生じる。

#### 【 0 0 0 5 】

本発明は、上記のような問題を解消するためになされたもので、

溝パターンやホールパターンの構造によらず、その底部のみにレジストの埋め込みを可能にし、次工程のための保護膜を形成できるレジスト埋め込み方法および半導体装置の製造方法を提供するものである。

#### 【 0 0 0 6 】

##### 【課題を解決するための手段】

上記の目的を達成するための本発明の第1の態様に係るレジスト埋め込み方法は、

基板上に層間膜を形成する工程と、層間膜に開口を形成する工程と、開口を含む層間膜上にレジスト膜を塗布する工程と、レジスト膜を開口部と概ね同じ形状にパターニングして開口内部にレジスト膜を埋め込む工程とを備える。

#### 【 0 0 0 7 】

上記の目的を達成するための本発明の第2の態様に係るレジスト埋め込み方法は、

基板上に層間膜を形成する工程と、層間膜に開口を形成する工程と、開口を含む層間膜上に膜を形成する工程と、膜上にレジスト膜を塗布する工程と、レジスト膜を開口部と概ね同じ形状にパターニングして開口内部にレジスト膜を埋め込む工程とを備える。

#### 【 0 0 0 8 】

上記の目的を達成するための本発明の第3の態様に係るレジスト埋め込み方法

は、

レジストがポジ型レジストで、開口部より小さい領域の遮光部を持つフォトマスクを用いてレジストをパターニングすることを特徴とする。

【 0 0 0 9 】

上記の目的を達成するための本発明の第 4 の態様に係るレジスト埋め込み方法は、

レジストがネガ型レジストで、開口部より小さい領域の透過光部を持つフォトマスクを用いてレジストをパターニングすることを特徴とする。

【 0 0 1 0 】

上記の目的を達成するための本発明の第 5 の態様に係る半導体装置の製造方法は、

半導体基板上に層間膜を形成する工程と、層間膜に開口を形成する工程と、開口を含む層間膜上にレジスト膜を塗布する工程と、レジスト膜を開口部と概ね同じ形状にパターニングして開口内部にレジスト膜を埋め込む工程と、開口部に埋め込まれたレジスト膜で開口の底部をマスクして層間膜をエッチングする工程とを備える。

【 0 0 1 1 】

上記の目的を達成するための本発明の第 6 の態様に係る半導体装置の製造方法は、

半導体基板上に層間膜を形成する工程と、層間膜に開口を形成する工程と、開口を含む層間膜上に膜を形成する工程と、膜上にレジスト膜を塗布する工程と、レジスト膜を開口部と概ね同じ形状にパターニングして開口内部にレジスト膜を埋め込む工程と、開口部に埋め込まれたレジスト膜で開口の底部をマスクして膜をエッチングする工程とを備える。

【 0 0 1 2 】

【発明の実施の形態】

実施の形態 1.

図 1 ないし図 5 は、本願発明の実施の形態 1 に係る半導体装置製造工程を示す概略工程断面図である。なお、以下に説明する各実施の形態で用いられる説明図

において、同一又は相当部分には同一の符号を付してその説明を省略する。

【0013】

図1を参照して、従来の技術と同様に、半導体基板1上に、第1絶縁膜3、接続孔5、Poly-Siプラグ7、第2絶縁膜9、第3絶縁膜11、開口13、Poly-Si膜15を形成して、Poly-Si膜15の表面を粗面化した後、開口13を含むPoly-Si膜15上にポジ型フォトリソ膜117を塗布し、開口13内部にフォトリソ膜117が残存し、開口部13を除く部分のフォトリソ膜117が除去されるように、遮光部が開口部13より小さいフォトリソマスク19を用いてフォトリソ膜117を露光し、現像を行う。

【0014】

図2は図1を上面からみたときの模式図である。フォトリソマスク19の遮光部19aは開口部13より小さい領域となっている。

【0015】

次に、図3を参照して、開口部13のリソ膜117は現像後、除去されずに残存する。

【0016】

次に、図4を参照して、塩素系ガスを用いてPoly-Si膜15をエッチバックする。

【0017】

次に、図5を参照して、開口13内以外の第3絶縁膜11上のPoly-Si膜15がエッチングで除去された後、リソ膜を除去し、開口13内にのみキャパシタ電極としてのPoly-Si膜15を形成する。

以後、所定のプロセスを経て半導体装置が完成する。

【0018】

以上のように、本実施の形態1に係る発明によれば、開口部深さが浅い場合や開口部面積が大きい場合にも、ポジ型フォトリソ膜を用いて開口部内のポリシリコン膜上のリソ膜を残し、開口周辺のポリシリコン膜上部のリソ膜を除去することができ、開口部の構造によらず、キャパシタ電極形成プロセスの信頼性、半導体装置の製品歩留の安定性を改善することが可能となる。

## 【 0 0 1 9 】

実施の形態 2.

実施の形態 1 では、遮光部が開口部より小さいフォトマスクを用いてポジ型フォトレジスト膜を露光し、開口部のレジスト膜が現像後に除去されずに残存するようにして、開口内にのみキャパシタ電極としての P o l y - S i 膜を形成した。これに対し、本実施の形態では、透過光部が開口部より小さいフォトマスクを用いてネガ型フォトレジスト膜を露光し、開口部のレジスト膜が現像後に除去されずに残存するようにして、開口部以外のレジスト膜が現像後に除去され、開口内にのみキャパシタ電極としての P o l y - S i 膜を形成するものである。

図 6 は、本願発明の実施の形態 2 に係る半導体装置製造工程を示す概略工程断面図である。

## 【 0 0 2 0 】

図 6 を参照して、実施の形態 1 と同様、半導体基板 1 上に、第 1 絶縁膜 3、第 1 接続孔 5、P o l y - S i プラグ 7、第 2 絶縁膜 9、第 3 絶縁膜 1 1、開口部 1 3、P o l y - S i 膜 1 5 を形成して、P o l y - S i 膜 1 5 の表面を粗面化した後、開口 1 3 を含む P o l y - S i 膜 1 5 上にネガ型フォトレジスト 2 1 7 を塗布し、開口部 1 3 にフォトレジスト膜 2 1 7 が残存し、開口部 1 3 を除く部分のフォトレジスト膜 2 1 7 が除去されるように、透過光部が開口部 1 3 より小さいフォトマスク 1 9 を用いてフォトレジスト膜 2 1 7 を露光し、現像を行う。

## 【 0 0 2 1 】

以後、実施の形態 1 と同様に、開口 1 3 内を除く第 3 絶縁膜 1 1 上の P o l y - S i 膜 1 5 が除去され、開口 1 3 内にのみキャパシタ電極としての P o l y - S i 膜 1 5 を形成した後、所定のプロセスを経て半導体装置が完成する。

## 【 0 0 2 2 】

以上のように、本実施の形態 2 に係る発明によれば、開口部深さが浅い場合や開口部面積が大きい場合にも、ネガ型フォトレジストを用いて開口部内のポリシリコン膜上のレジストを残し、開口周辺のポリシリコン膜上部のレジストを除去することができ、開口部の構造によらず、キャパシタ電極形成プロセスの信頼性、半導体装置の製品歩留の安定性を改善することが可能となる。



## 【 0 0 2 3 】

実施の形態 3.

本実施の形態は、本発明の半導体装置の製造方法を、キャパシタを有する半導体記憶装置に適用したものである。

図 7 ないし図 1 5 は、本願発明の実施の形態 3 に係る半導体装置製造工程を示す概略工程断面図である。

## 【 0 0 2 4 】

図 7 を参照して、単結晶シリコン基板 1 上に電界効果トランジスタ 3 1 1 を形成する。

## 【 0 0 2 5 】

次に、図 8 を参照して、電界効果トランジスタ 3 1 1 の上に層間絶縁膜 3 1 3 を C V D 法等により形成し、レジスト塗布、露光、現像後、ドライエッチング技術により第 1 接続孔 3 1 5 を形成し、C V D 法で層間絶縁膜 3 1 3 上に W 薄膜を形成し、エッチバックにより、第 1 接続孔 3 1 5 内に W プラグ 3 1 7 を形成する。さらに、レジスト塗布、露光、現像後、ドライエッチング技術により第 1 配線用の第 1 溝 3 1 9 を形成し、C V D 法および C M P 法により P o l y - S i 膜からなる第 1 配線 3 2 5 を形成する。

## 【 0 0 2 6 】

次に、図 9 を参照して、第 1 配線 3 2 5 を含む層間絶縁膜 3 1 3 の上にレジスト塗布し、露光、現像後、ドライエッチング技術により第 2 接続孔 3 2 7 を形成し、C V D 法により P o l y - S i 膜を形成し、エッチバックにて第 2 接続孔 3 2 7 内に P o l y - S i を埋め込み、P o l y - S i プラグ 3 2 9 を形成する。さらに P o l y - S i プラグ 3 2 9 を含む層間絶縁膜 3 1 3 の上に膜厚 9 0 n m のシリコン窒化膜からなる第 2 絶縁膜 3 3 1 を C V D 法等により形成し、第 2 絶縁膜 3 3 1 の上に膜厚 3 0 0 n m のシリコン酸化膜からなる第 3 絶縁膜 3 3 3 を C V D 法等により形成し、レジスト塗布、露光、現像後、ドライエッチング技術により開口 3 3 5 を形成する。

## 【 0 0 2 7 】

次に、図 1 0 を参照して、開口 3 3 5 を含む第 3 絶縁膜 3 3 3 の上に膜厚 9 0

nmのP o l y - S i 膜 3 3 7 をC V D 法等により形成し、さらに表面積を大きくするために選択C V D 法を用いてP o l y - S i 膜 3 3 7 の表面を粗面化する。

#### 【 0 0 2 8 】

次に、図 1 1 を参照して、開口 3 3 5 を含むP o l y - S i 膜 3 3 7 上にポジ型フォトレジスト 3 3 9 を塗布し、開口 3 3 5 内部にフォトレジスト膜 3 3 9 が残存し、開口 3 3 5 を除く部分のフォトレジスト膜 3 3 9 が除去されるように、遮光部が開口 3 3 5 より小さいフォトマスク 3 4 1 を用いてフォトレジスト膜 3 3 9 を露光し、現像を行う。

本実施例では、ポジ型フォトレジストを用いたが、ネガ型フォトレジストを塗布し、透過光部が開口より小さいフォトマスクを用いてネガ型フォトレジストを露光、現像してもよい。

#### 【 0 0 2 9 】

次に、図 1 2 を参照して、開口 3 3 5 内部のレジスト膜 3 3 9 は現像後、除去されずに残存する。

#### 【 0 0 3 0 】

次に、図 1 3 を参照して、塩素系ガスを用いてP o l y - S i 膜 3 3 7 をエッチバックする。

#### 【 0 0 3 1 】

次に、図 1 4 を参照して、開口 3 3 5 内を除く第 3 絶縁膜 3 3 3 上のP o l y - S i 膜 3 3 7 がエッチングで除去された後、開口 3 3 5 内部に残存するレジスト 3 3 9 を除去し、開口 3 3 5 内にのみキャパシタ電極としてのP o l y - S i 膜 3 3 7 を形成する。

#### 【 0 0 3 2 】

次に、図 1 5 を参照して、キャパシタ形成のための誘電体膜 3 4 3、セルプレート 3 4 5 を形成する。

以後、所定のプロセスを経て半導体記憶装置が完成する。

#### 【 0 0 3 3 】

以上のように、本実施の形態 3 に係る発明によれば、実際のデバイスにおける

キャパシタ電極形成において、開口部のアスペクト比が小さい場合にも開口部内のポリシリコン膜上のレジストを残し、ポリシリコン膜上部のレジストを除去することができ、開口部の構造によらず、キャパシタ電極形成プロセスの信頼性、半導体装置の製品歩留の安定性を改善することが可能となる。

#### 【 0 0 3 4 】

実施の形態 4 .

本実施の形態は、本発明の半導体装置の製造方法を、多層配線構造を有する半導体装置に適用したものである。

図 1 6 ないし図 2 5 は、本願発明の実施の形態 4 に係る半導体装置製造工程を示す概略工程断面図である。

#### 【 0 0 3 5 】

図 1 6 を参照して、単結晶シリコン基板 1 上に電界効果トランジスタ 3 1 1 を形成する。

#### 【 0 0 3 6 】

次に、図 1 7 を参照して、電界効果トランジスタ 3 1 1 の上に層間絶縁膜 3 1 3 を C V D 法等により形成し、レジスト塗布、露光、現像後、ドライエッチング技術により第 1 接続孔 3 1 5 を形成し、選択 C V D 法により、第 1 接続孔 3 1 5 内に W プラグ 3 1 7 を形成する。更に、層間絶縁膜 3 1 3 の上に第 2 絶縁膜 3 3 1 を形成し、レジスト塗布、露光、現像後、ドライエッチング技術により第 1 配線用の第 1 溝 3 1 9 を形成し、スパッタリング法により第 1 溝 3 1 9 の底部及び側壁、層間絶縁膜上に T a N 薄膜 3 2 1 を形成し、T a N 薄膜 3 2 1 の上に C V D 法またはメッキ法により銅薄膜 3 2 3 を形成した後、CMP 法により銅薄膜 3 2 3、T a N 薄膜 3 2 1 を研磨して、第 1 溝 3 1 9 の内部に T a N 薄膜 3 2 1 を下層に銅薄膜 3 2 3 を上層に有する積層配線からなる第 1 配線 3 2 5 を形成する。

#### 【 0 0 3 7 】

次に、図 1 8 を参照して、第 1 配線 3 2 5 を含む第 2 絶縁膜 3 3 1 の上に膜厚 6 0 n m のシリコン窒化膜からなる第 3 絶縁膜 4 2 7 を C V D 法等により形成し、第 3 絶縁膜 4 2 7 の上に、膜厚 4 0 0 n m のシリコン酸化膜からなる第 4 絶縁

膜 4 2 9 を C V D 法等により形成し、第 4 絶縁膜 4 2 9 の上に膜厚 6 0 n m のシリコン窒化膜からなる第 5 絶縁膜 4 3 1 を C V D 法等により形成する。更に、この第 5 絶縁膜 4 3 1 の上に膜厚 3 0 0 n m のシリコン酸化膜からなる第 6 絶縁膜 4 3 3 を C V D 法等により形成し、第 6 絶縁膜 4 3 3 の上に膜厚 9 0 n m のシリコン窒化酸化膜をパターニング用の反射防止膜 4 3 5 として C V D 法等により形成する。

#### 【 0 0 3 8 】

次に、図 1 9 を参照して、反射防止膜 4 3 5 の上に第 1 レジスト膜 4 3 7 を塗布し、露光、現像により第 2 接続孔 4 3 9 を形成する。

#### 【 0 0 3 9 】

次に、図 2 0 を参照して、反射防止膜 4 3 5 の上に、膜厚 8 0 0 n m のポジ型フォトリソ膜を塗布し、第 2 接続孔 4 3 9 の内部をフォトリソ膜 1 3 で埋め込む。第 2 接続孔 4 3 9 の開口部より小さい遮光部を持つフォトマスク 3 4 1 を用いて露光、現像する。

本実施例では、ポジ型フォトリソ膜を用いたが、ネガ型フォトリソ膜を塗布し、透過光部が開口より小さいフォトマスクを用いてネガ型フォトリソ膜を露光、現像してもよい。

#### 【 0 0 4 0 】

次に、図 2 1 を参照して、第 2 接続孔 4 3 9 内部に残存するレジストを硬化処理し、レジストプラグ 4 4 1 が形成される。

#### 【 0 0 4 1 】

次に、図 2 2 を参照して、反射防止膜 4 3 5 の上に第 2 レジスト膜 4 4 3 を塗布し、露光、現像により第 2 溝および第 2 接続孔 4 3 9 を含む第 3 溝を形成するためのパターニングを実施する。

#### 【 0 0 4 2 】

次に、図 2 3 を参照して、第 2 レジスト膜 4 4 3 をマスクとして、ドライエッチング技術により、反射防止膜 4 3 5 をエッチングし、第 5 絶縁膜 4 3 1 をストッパーとして第 6 絶縁膜 4 3 3 をエッチングし、アッシング技術、ウェット技術により残った第 2 レジスト膜 4 4 3 を除去することにより、第 2 溝 4 4 5 を形成

する。また、同時にレジストプラグ 4 4 1 が埋め込まれた状態の第 2 接続孔 4 3 9 上に第 3 溝 4 4 7 を形成する。

#### 【 0 0 4 3 】

次に、図 2 4 を参照して、第 2 接続孔 4 3 9 内部のレジストプラグ 4 4 1 と第 2 レジスト膜 4 4 3 をドライ技術により除去し、反射防止膜 4 3 5 をエッチングし、第 2 溝 4 4 5 の底部の第 3 絶縁膜 4 3 1 および第 3 溝 4 4 7 の底部の第 2 接続孔 4 3 9 の周囲の第 3 絶縁膜 4 3 1 をエッチングし、更に第 2 接続孔 4 3 9 の底部のストッパーの第 1 絶縁膜 4 2 7 をエッチングし、第 2 溝 4 4 5 と、第 2 接続孔 4 3 9 を含む第 3 溝 4 4 7 から成るデュアルダマシン配線形成用の溝を形成する。

#### 【 0 0 4 4 】

次に、図 2 5 を参照して、スパッタリング法により第 2 溝 4 4 5 と、第 2 接続孔 4 3 9 を含む第 3 溝 4 4 7 の底部及び側壁及び第 6 絶縁膜 4 3 3 の上に膜厚 6 0 n m の T a N 薄膜 4 4 9 を形成し、T a N 薄膜 4 4 9 の上に C V D 法またはメッキ法により膜厚 1  $\mu$  m の銅薄膜 4 5 1 を形成した後、CMP 法により銅薄膜 4 5 1 を研磨し、更に T a N 薄膜 4 4 9 を研磨して、第 2 溝 4 4 5 と、第 2 接続孔 4 3 9 を含む第 3 溝 4 4 7 の内部に T a N 薄膜 4 4 9 を下層に銅薄膜 4 5 1 を上層に有する積層配線から成る、デュアルダマシン配線による第 2 配線 4 5 3 を形成する。

以後、所定のプロセスを経て半導体装置が完成する。

#### 【 0 0 4 5 】

以上のように、本実施の形態 4 に係る発明によれば、実際のデバイスにおける第 2 配線の形成において、第 2 接続孔を含む第 3 溝を形成する際に、第 2 接続孔内部にフォトリソを用いてレジストプラグを形成するので、開口部のアスペクト比小さい場合にも第 2 接続孔底に保護膜としてのレジストプラグを形成することが可能となる。

また本発明は、半導体装置の製造方法に限らず、基板上の層間膜に開口を形成する工程を含むデバイスの製造方法に応用可能で、例えば液晶表示装置の製造方法にも応用可能である。

## 【 0 0 4 6 】

## 【発明の効果】

この発明は、以上のように構成されているので以下に示すような効果を奏する。

請求項 1 に係る発明によれば、レジスト膜を層間膜の開口部と概ね同じ形状にパターニングして開口部内にレジスト膜を埋め込むことにより、開口部のアスペクト比が小さい場合にも開口部底に、次工程のための保護膜を形成することが可能となる。

## 【 0 0 4 7 】

また、請求項 2 に係る発明によれば、開口を含む層間膜上に膜を形成し、レジスト膜を開口部と概ね同じ形状にパターニングして開口部内の膜上にレジスト膜を埋め込むことにより、開口部のアスペクト比が小さい場合にも、開口部底の膜を保護するための保護膜を形成することが可能となる。

## 【 0 0 4 8 】

また、請求項 3 に係る発明によれば、遮光部が開口部より小さいフォトリソマスクを用いてポジ型レジストをパターニングするので、開口部以外の部分のレジスト膜が残存することを防ぐことができる。

## 【 0 0 4 9 】

また、請求項 4 に係る発明によれば、透過光部が開口部より小さいフォトリソマスクを用いてネガ型レジストをパターニングするので、開口部以外の部分のレジスト膜が残存することを防ぐことができる。

## 【 0 0 5 0 】

また、請求項 5 に係る発明によれば、レジスト膜を層間絶縁膜の開口部と概ね同じ形状にパターニングして開口部内にレジスト膜を埋め込むことにより、開口部のアスペクト比が小さい場合にも開口部底に、次工程のための保護膜を形成し、開口部底の層間膜だけを残して層間膜をエッチングすることが可能となり、半導体装置の製品歩留の安定性を改善することが可能となる。

## 【 0 0 5 1 】

また、請求項 6 に係る発明によれば、開口を含む層間膜上に膜を形成し、レジ

スト膜を開口部と概ね同じ形状にパターニングして開口部内の膜上にレジスト膜を埋め込むことにより、開口部のアスペクト比が小さい場合にも、開口部底の膜を保護するための保護膜を形成し、開口部底の膜だけを残して膜をエッチングすることが可能となり、半導体装置の製品歩留の安定性を改善することが可能となる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体装置のキャパシタ形成プロセスを示す断面図である。

【図 2】 本発明の実施の形態 1 に係る半導体装置のキャパシタ形成プロセスを示す上面図である。

【図 3】 本発明の実施の形態 1 に係る半導体装置のキャパシタ形成プロセスを示す断面図である。

【図 4】 本発明の実施の形態 1 に係る半導体装置のキャパシタ形成プロセスを示す断面図である。

【図 5】 本発明の実施の形態 1 に係る半導体装置のキャパシタ形成プロセスを示す断面図である。

【図 6】 本発明の実施の形態 2 に係る半導体装置のキャパシタ形成プロセスを示す断面図である。

【図 7】 本発明の実施の形態 3 に係る半導体記憶装置の製造工程を説明するための断面図模式である。

【図 8】 本発明の実施の形態 3 に係る半導体記憶装置の製造工程を説明するための断面図模式である。

【図 9】 本発明の実施の形態 3 に係る半導体記憶装置の製造工程を説明するための断面図模式である。

【図 1 0】 本発明の実施の形態 3 に係る半導体記憶装置の製造工程を説明するための断面図模式である。

【図 1 1】 本発明の実施の形態 3 に係る半導体記憶装置の製造工程を説明するための断面図模式である。

【図 1 2】 本発明の実施の形態 3 に係る半導体記憶装置の製造工程を説明

するための断面図模式である。

【図 1 3】 本発明の実施の形態 3 に係る半導体記憶装置の製造工程を説明するための断面図模式である。

【図 1 4】 本発明の実施の形態 3 に係る半導体記憶装置の製造工程を説明するための断面図模式である。

【図 1 5】 本発明の実施の形態 3 に係る半導体記憶装置の製造工程を説明するための断面図模式である。

【図 1 6】 本発明の実施の形態 4 に係る電界効果トランジスタの製造工程を説明するための断面模式図である。

【図 1 7】 本発明の実施の形態 4 に係る電界効果トランジスタの製造工程を説明するための断面模式図である。

【図 1 8】 本発明の実施の形態 4 に係る電界効果トランジスタの製造工程を説明するための断面模式図である。

【図 1 9】 本発明の実施の形態 4 に係る電界効果トランジスタの製造工程を説明するための断面模式図である。

【図 2 0】 本発明の実施の形態 4 に係る電界効果トランジスタの製造工程を説明するための断面模式図である。

【図 2 1】 本発明の実施の形態 4 に係る電界効果トランジスタの製造工程を説明するための断面模式図である。

【図 2 2】 本発明の実施の形態 4 に係る電界効果トランジスタの製造工程を説明するための断面模式図である。

【図 2 3】 本発明の実施の形態 4 に係る電界効果トランジスタの製造工程を説明するための断面模式図である。

【図 2 4】 本発明の実施の形態 4 に係る電界効果トランジスタの製造工程を説明するための断面模式図である。

【図 2 5】 本発明の実施の形態 4 に係る電界効果トランジスタの製造工程を説明するための断面模式図である。

【符号の説明】

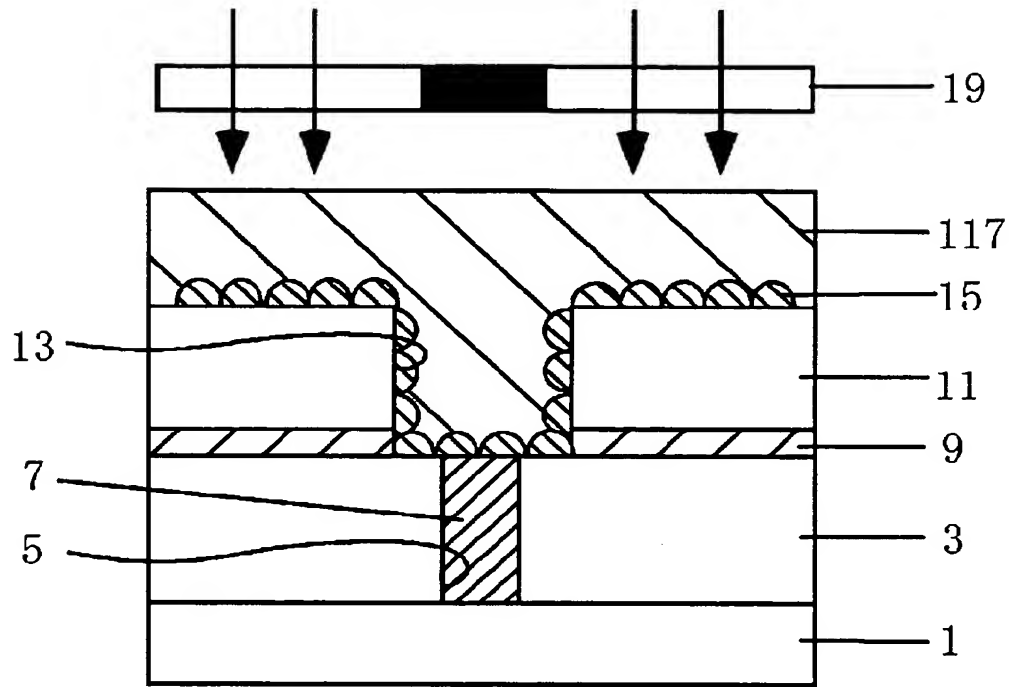
1 半導体基板



- 3 第 1 絶縁膜
- 9 第 2 絶縁膜
- 1 1 第 3 絶縁膜
- 1 3 開口
- 1 5 P o l y - S i 膜
- 1 1 7 フォトレジスト
- 1 9 フォトマスク
- 1 9 a フォトマスクの遮光部
- 2 1 7 フォトレジスト
- 3 3 3 第 3 絶縁膜
- 3 3 5 開口
- 3 3 7 P o l y - S i 膜
- 3 3 9 フォトレジスト
- 3 4 1 フォトマスク
- 4 2 9 第 4 絶縁膜
- 4 3 1 第 5 絶縁膜
- 4 3 3 第 6 絶縁膜
- 4 3 9 第 2 接続孔
- 4 4 1 フォトレジスト

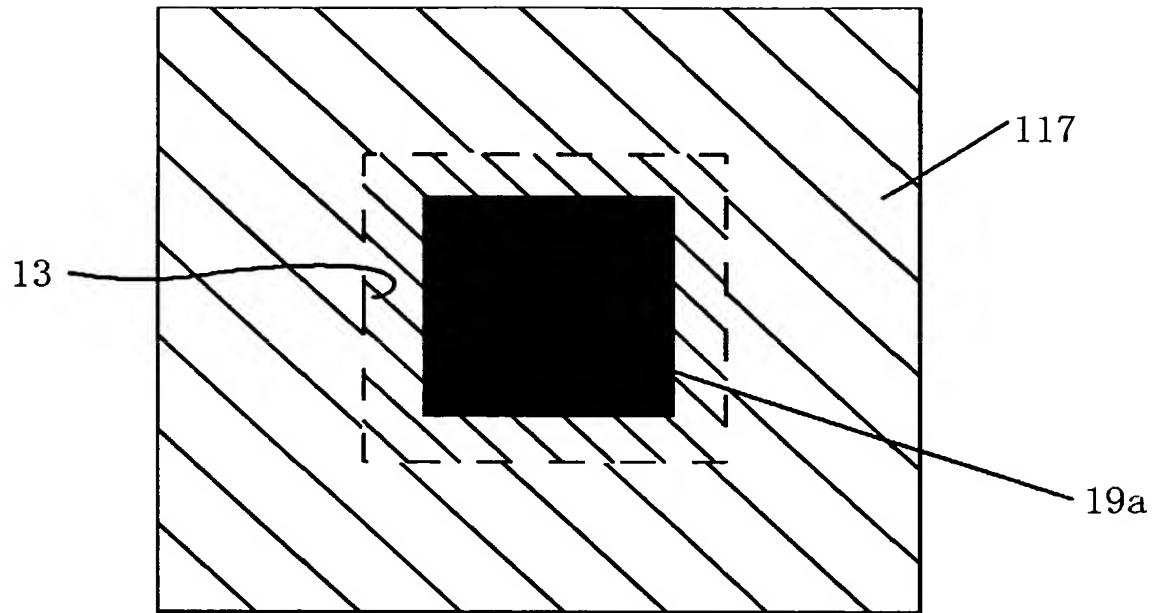
【書類名】 図面

【図 1】



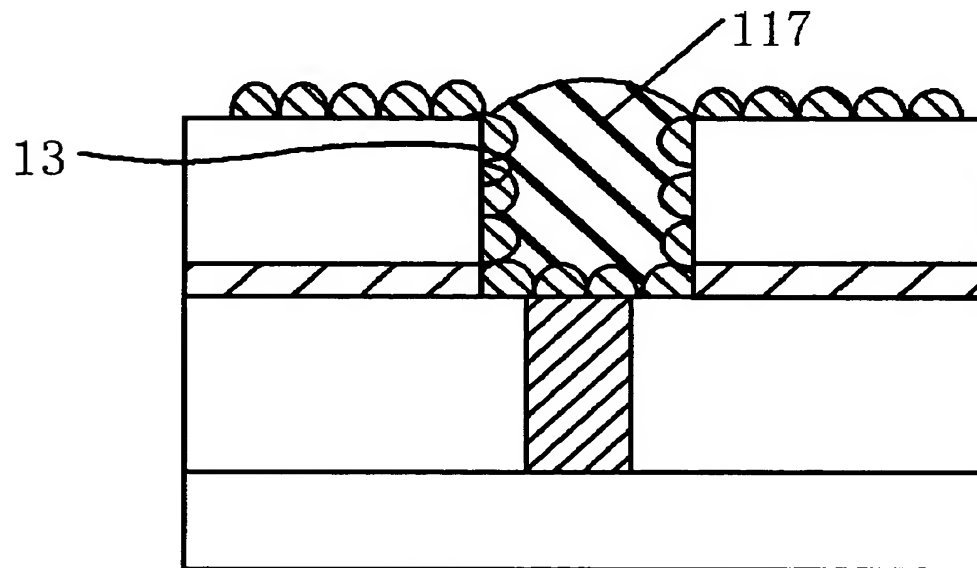
- |              |                     |
|--------------|---------------------|
| 1 半導体基板      | 3 第1絶縁膜             |
| 5 第1接続孔      | 7 P o l y - S i プラグ |
| 9 第2絶縁膜      | 11 第3絶縁膜            |
| 13 開口        | 15 P o l y - S i 膜  |
| 117 フォトレジスト膜 | 19 フォトマスク           |

【図 2】

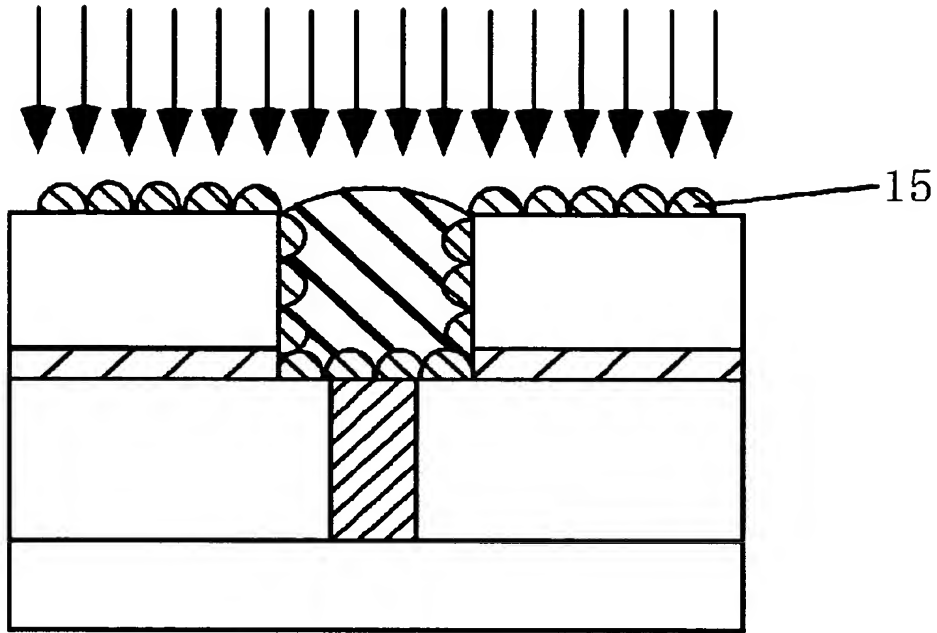


19a フォトマスクの遮光部

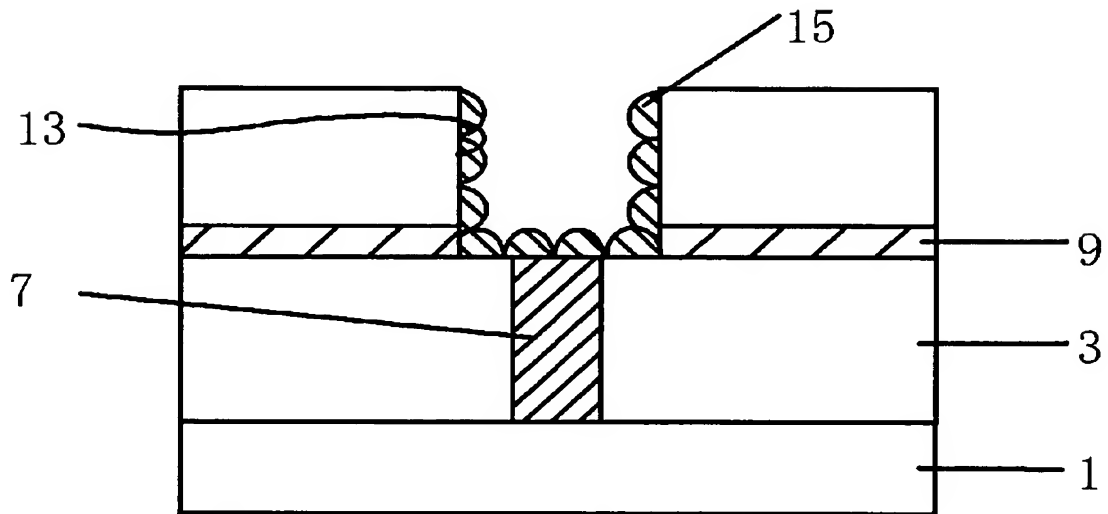
【図 3】



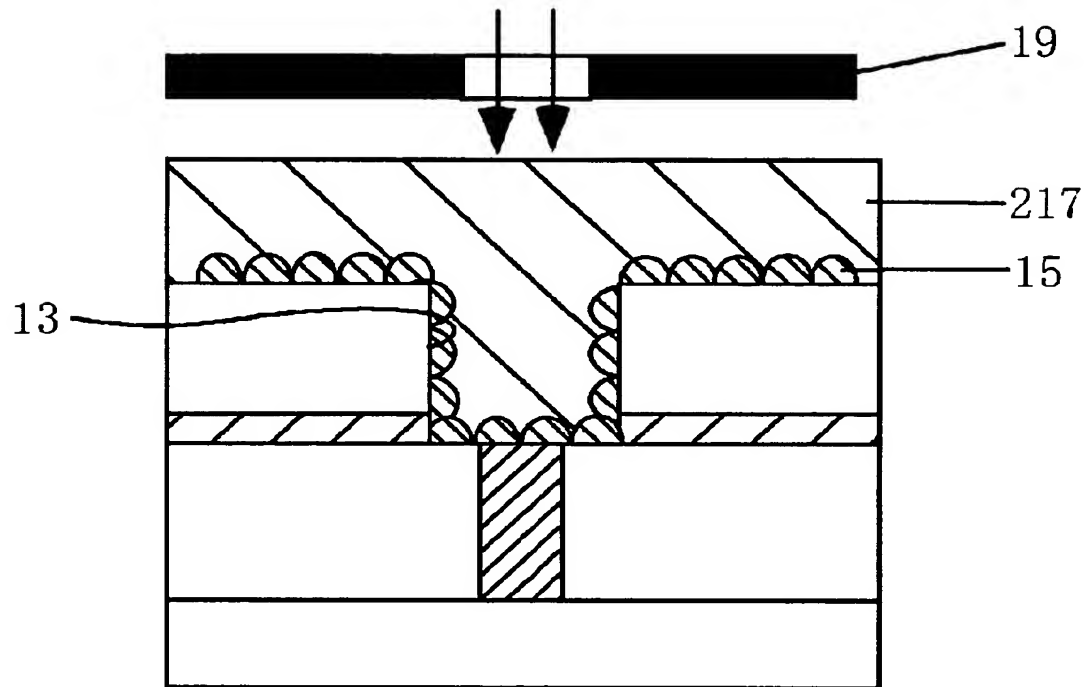
【図 4】



【図 5】

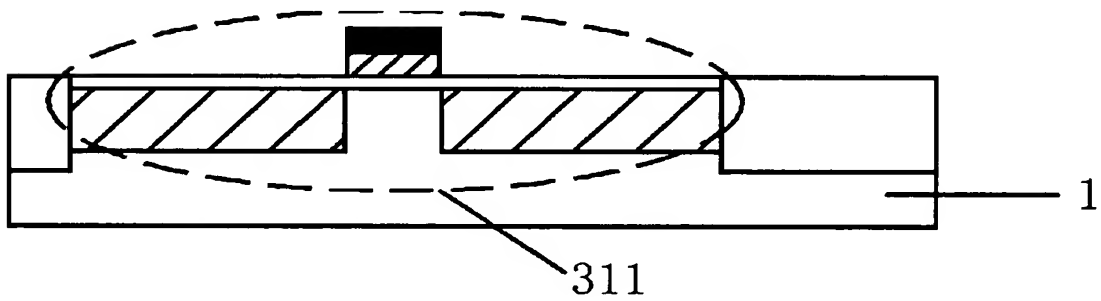


【図 6】



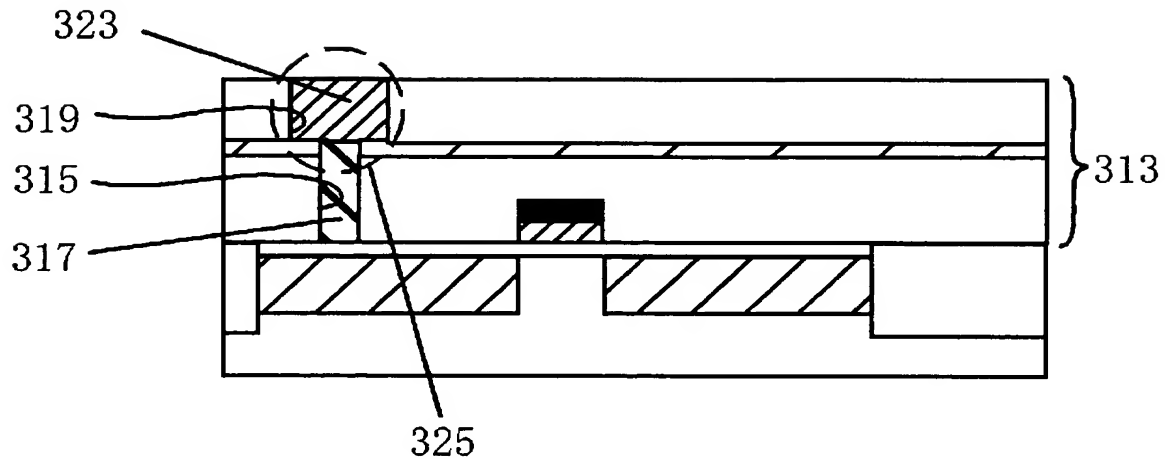
217 フォトレジスト膜

【図 7】



311 電界効果トランジスタ

【図 8】



313 層間絶縁膜

315 第 1 接続孔

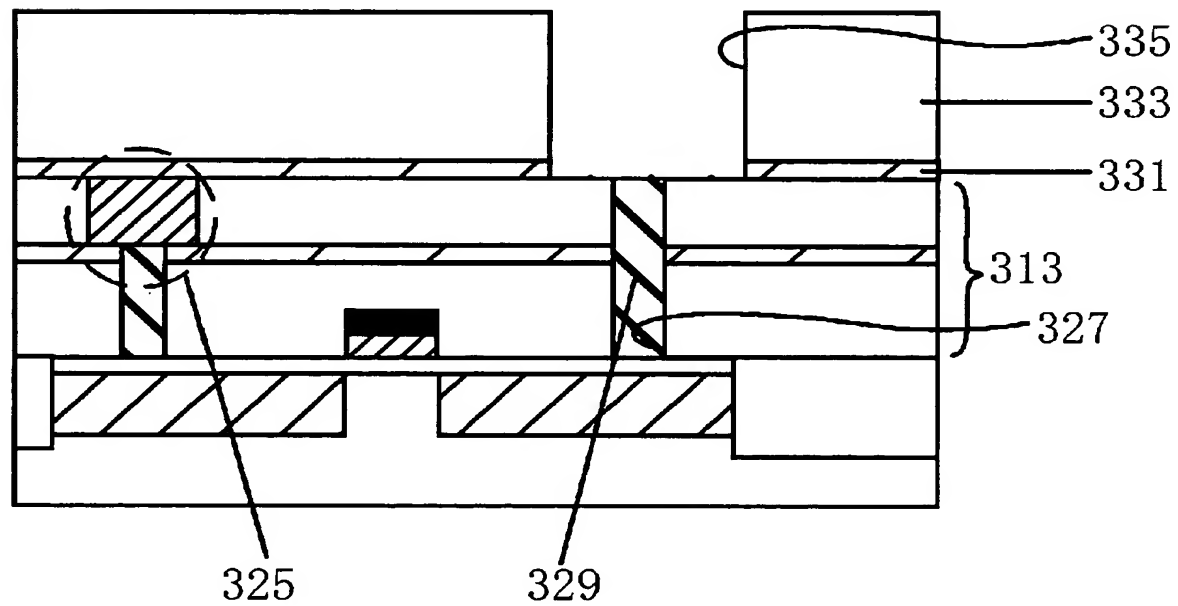
317 Wプラグ

319 第 1 溝

323 P o l y - S i 膜

325 第 1 配線

【図 9】



327 第 2 接続孔

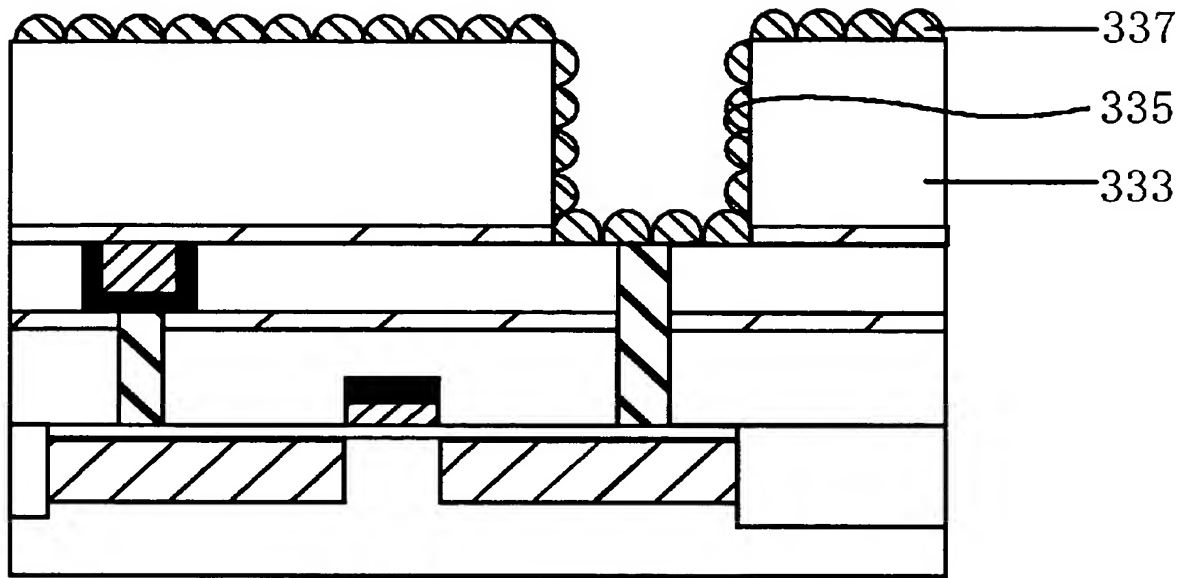
329 P o l y - S i プラグ

331 第 2 絶縁膜

333 第 3 絶縁膜

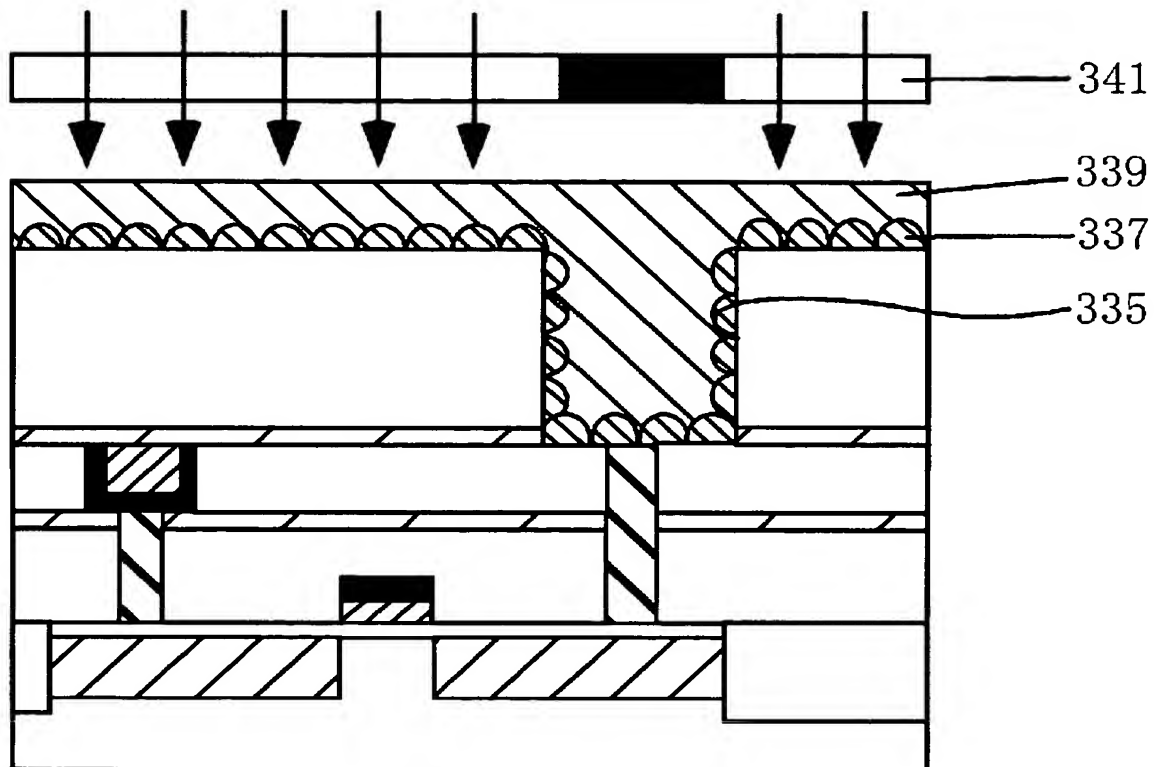
335 開口

【図10】



337 Poly-Si膜

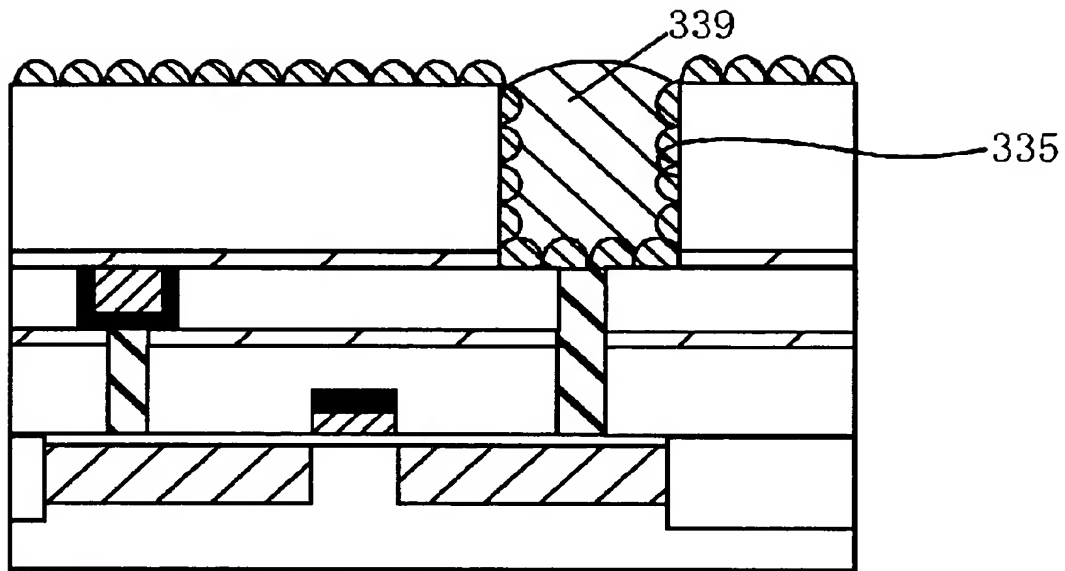
【図11】



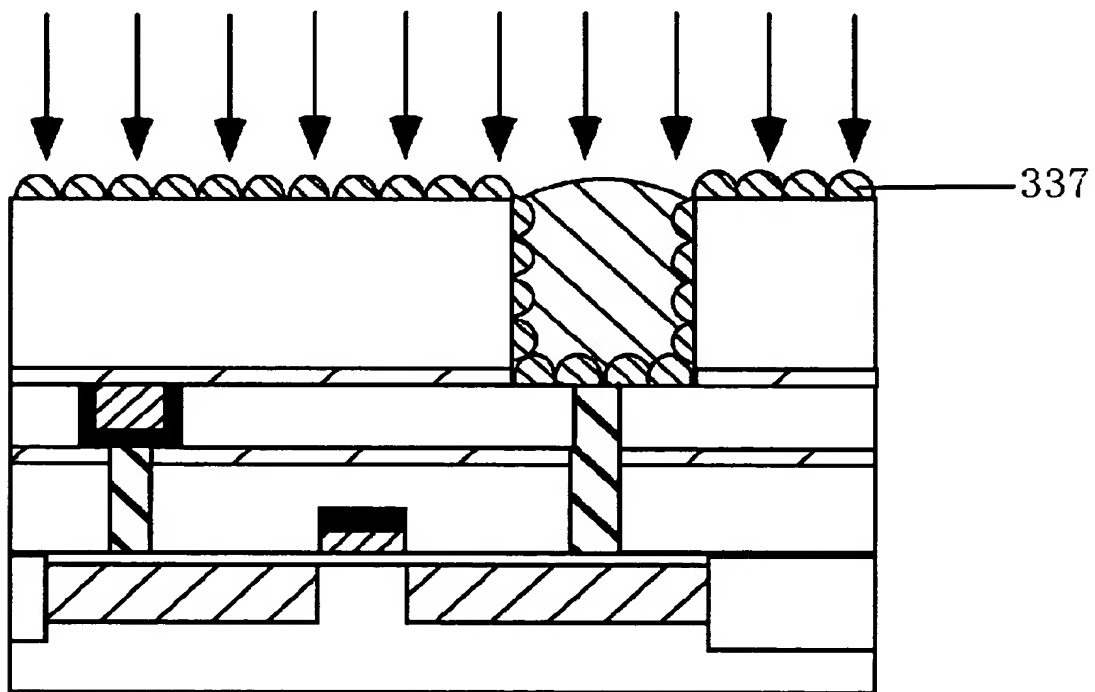
339 フォトレジスト膜

341 フォトマスク

【図 1 2】

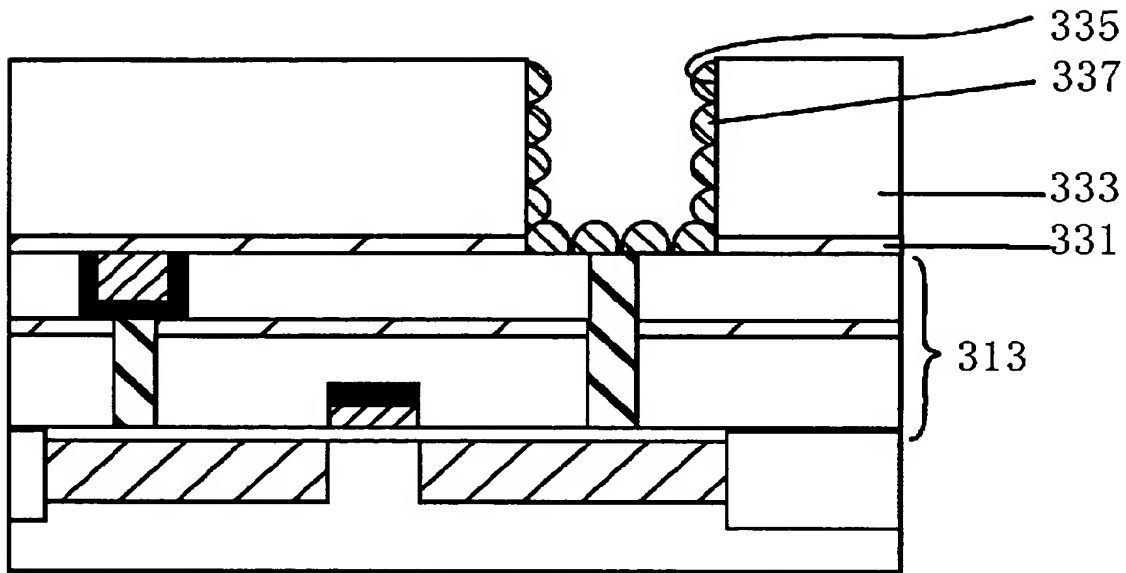


【図 1 3】

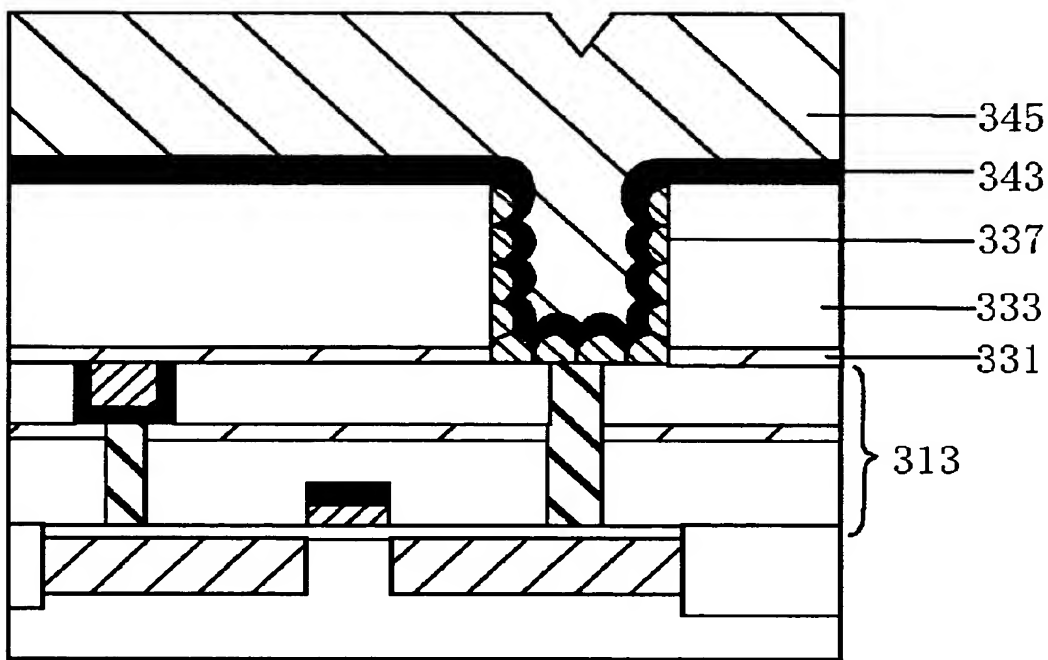




【図 1 4】



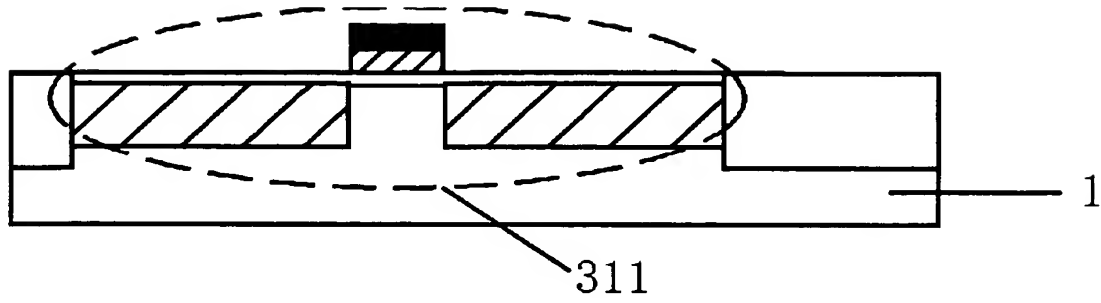
【図 1 5】



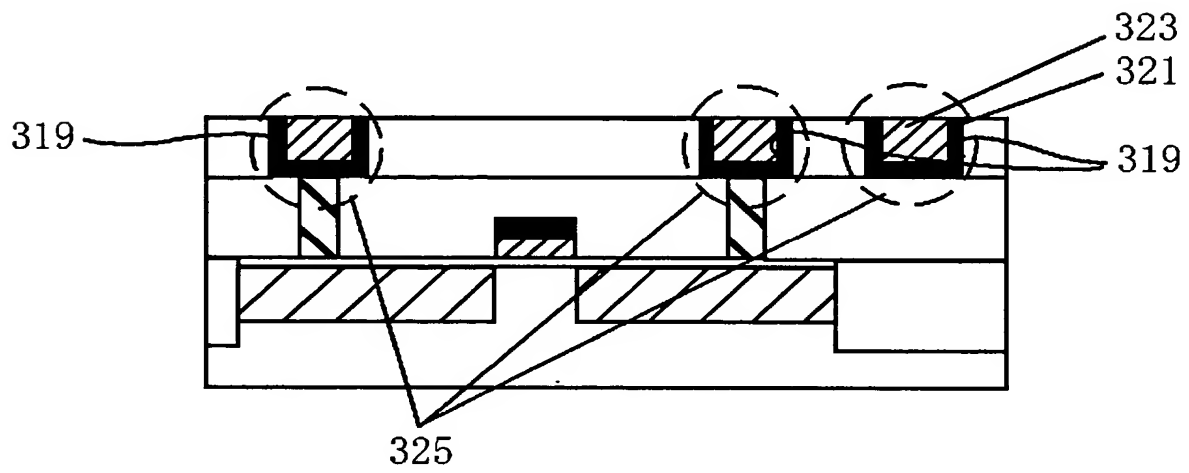
343 誘電体膜

345 セルプレート

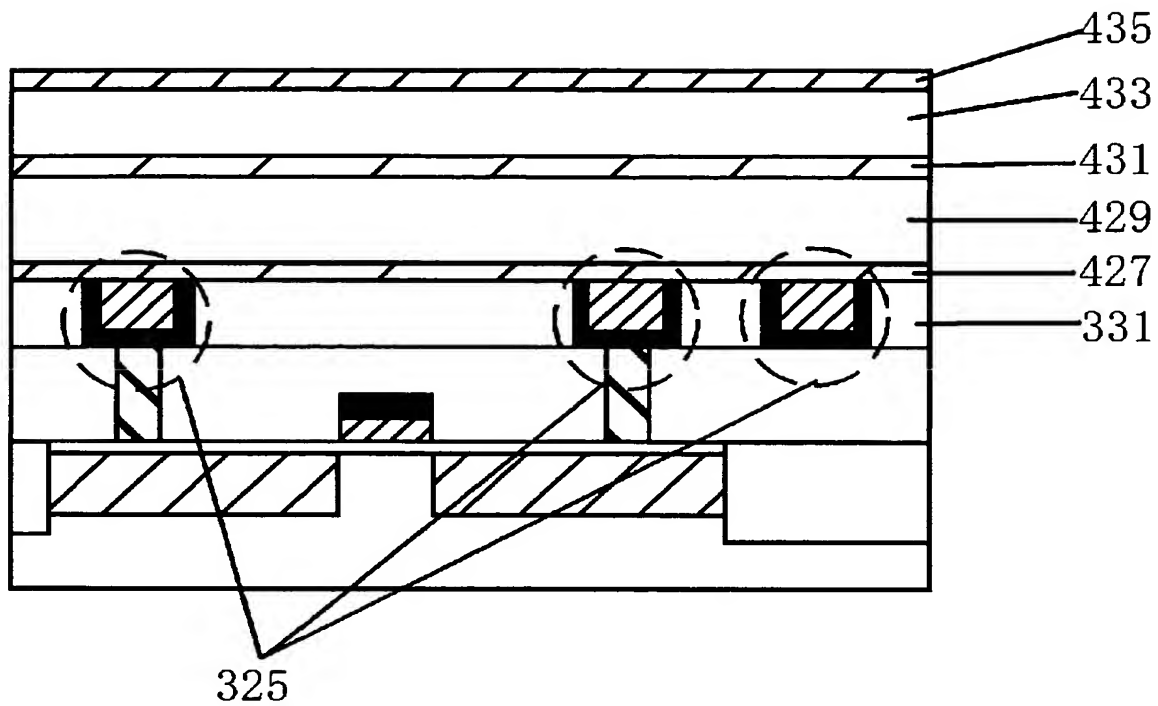
【図 1 6】



【図 1 7】



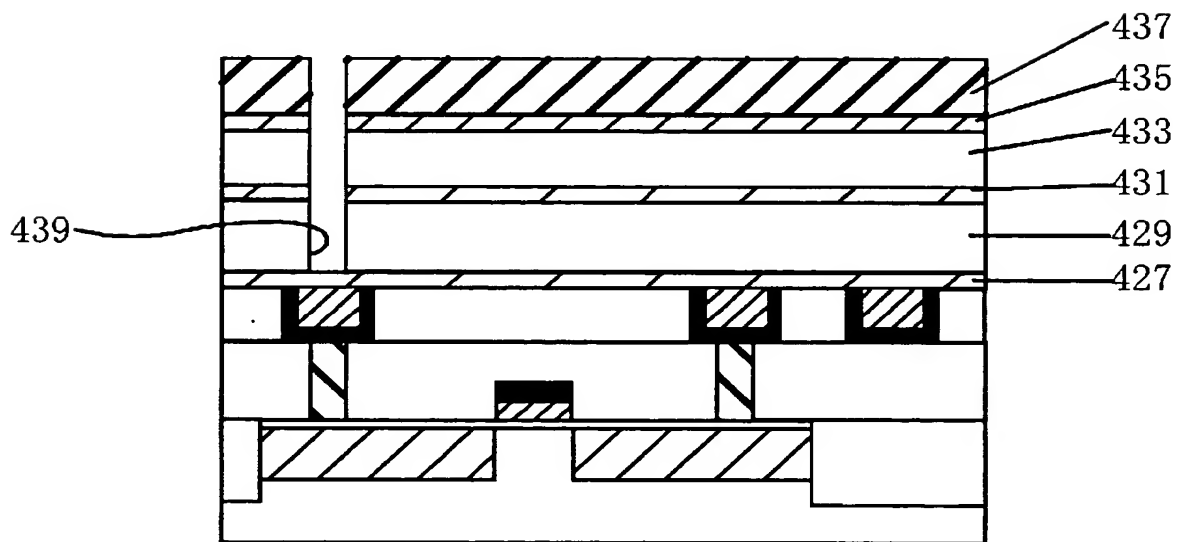
【図 1 8】



427 第 3 絶縁膜  
431 第 5 絶縁膜  
435 反射防止膜

429 第 4 絶縁膜  
433 第 6 絶縁膜

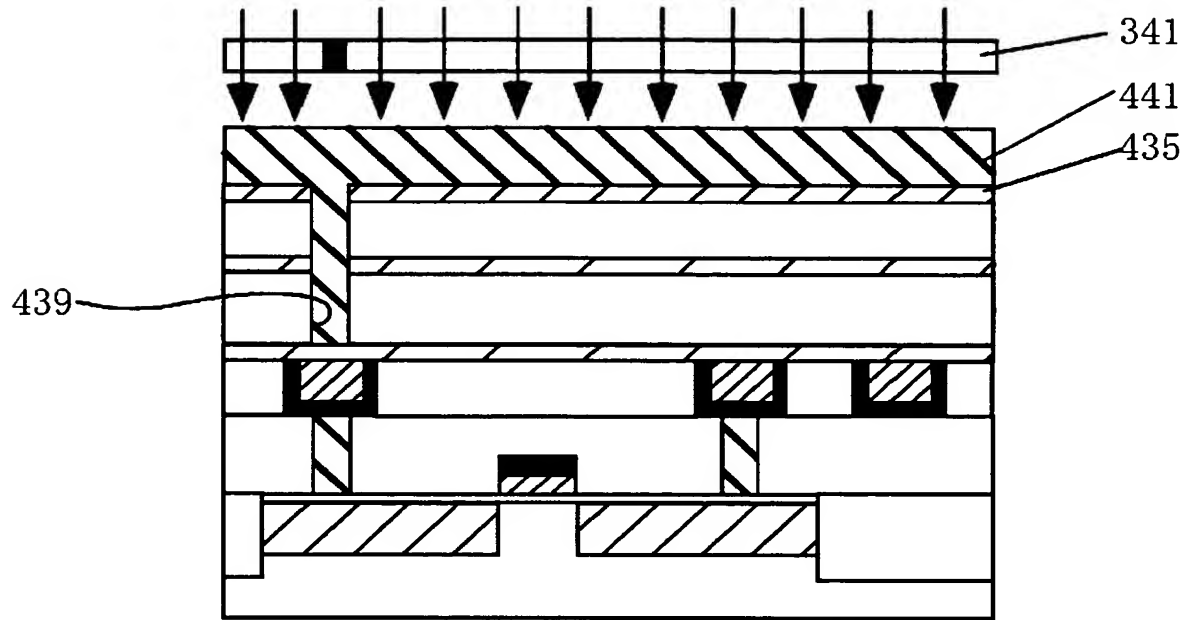
【図 1 9】



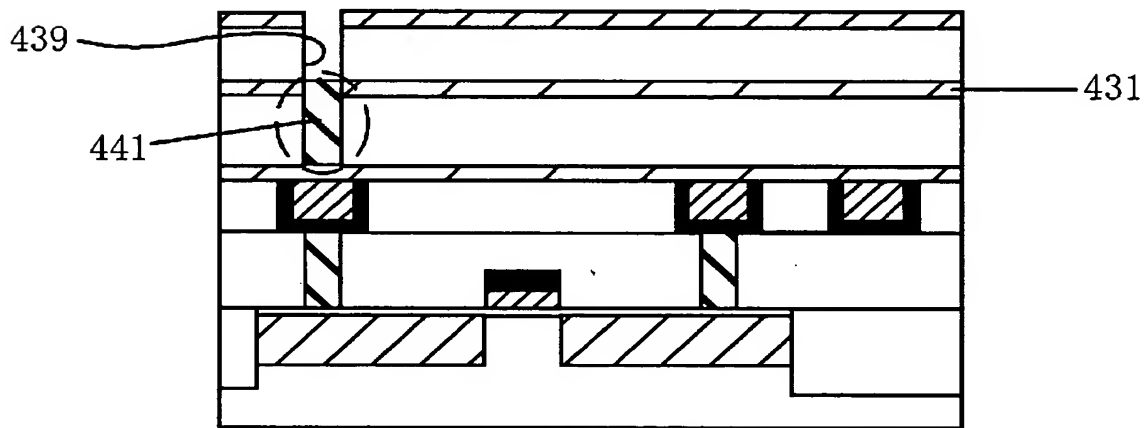
437 第 1 レジスト膜

439 第 2 接続孔

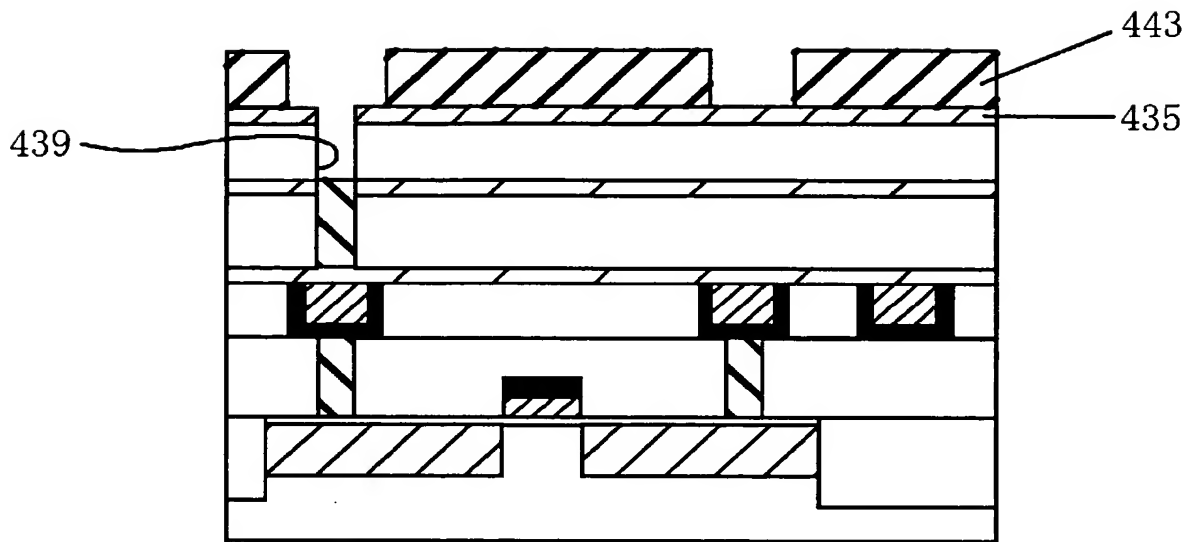
【図 2 0】



【図 2 1】

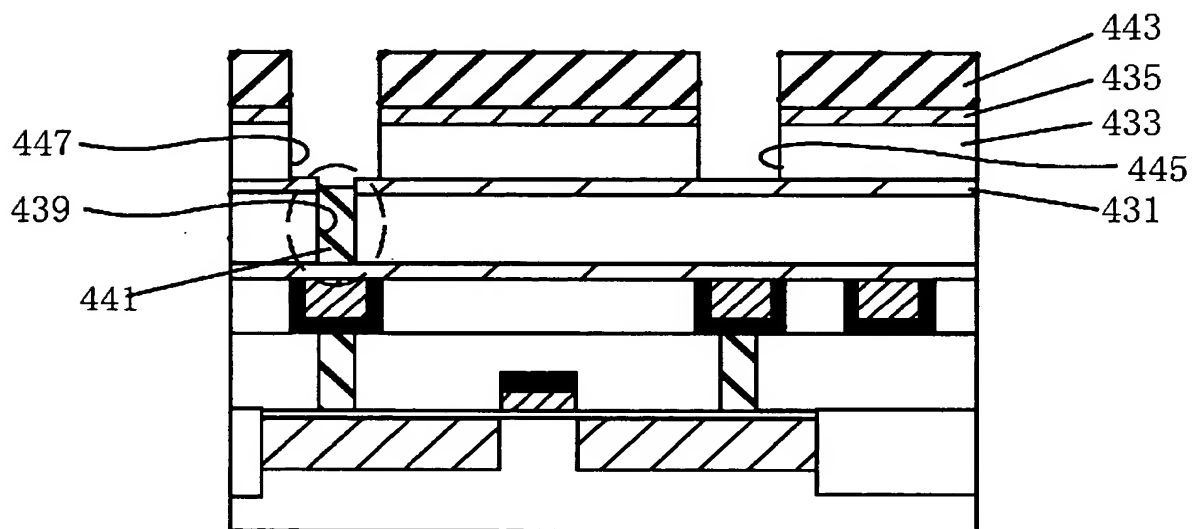


【図 2 2】



443 第 2 レジスト膜

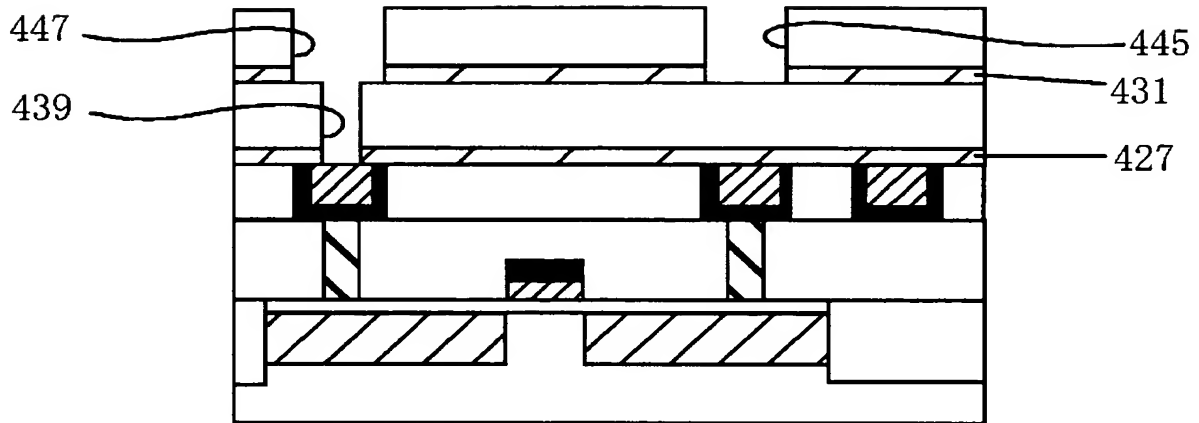
【図 2 3】



445 第 2 溝

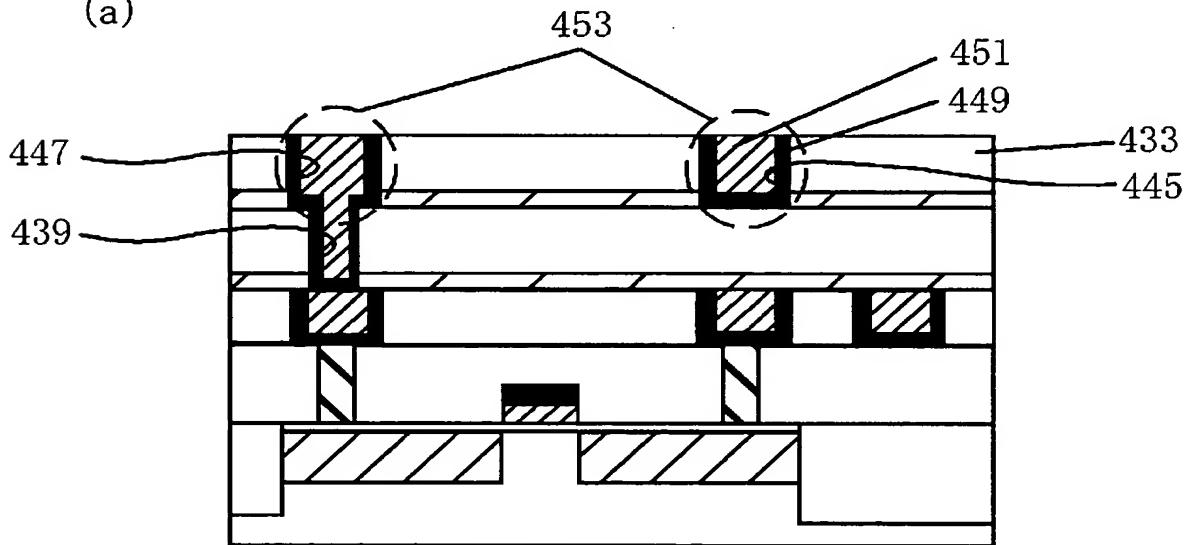
447 第 3 溝

【図 2 4】



【図 2 5】

(a)



449 T a N 薄膜      451 銅薄膜  
453 第 2 配線

【書類名】 要約書

【要約】

【課題】 基板上の層間膜に開口を形成する工程を含むデバイスについて、開口部のパターン構造によらず開口底部を次工程の処理に対して保護し、量産管理に適した信頼性の高い歩留の安定したデバイスを得る。

【解決手段】 レジスト膜を全面に塗布し、開口部と概ね同じ形状にパターンニングして、開口内部にレジスト膜を埋め込む。ポジ型レジストを用いる場合は開口部より小さい領域の遮光部をもつフォトマスクを用い、ネガ型レジストを用いる場合は開口部より小さい領域の透過光部をもつフォトマスクを用いる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 6 0 1 3 ]

1. 変更年月日	1 9 9 0 年 8 月 2 4 日
[変更理由]	新規登録
住 所	東京都千代田区丸の内 2 丁目 2 番 3 号
氏 名	三菱電機株式会社